

Patent

Customer No. 31561
Application No.: 10/605,304
Docket No. 11080-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Tsai et al.
Application No. : 10/605,304
Filed : September 22, 2003
For : SPLIT GATE FLASH MEMORY CELL AND
MANUFACTURING METHOD THEREOF
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092122059, filed on: 2003/08/12.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: April 20, 2004

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

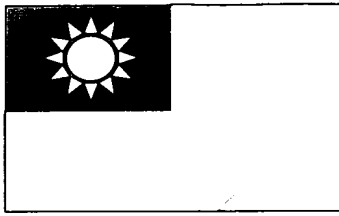
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 12 日
Application Date

申請案號：092122059
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 13 日
Issue Date

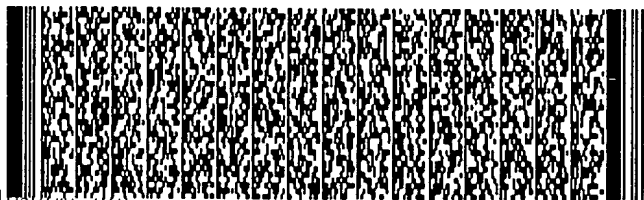
發文字號：09221028680
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	深溝渠式電容器之埋入式電極的製造方法
	英文	METHOD OF FABRICATING A BURIED PLATE OF A DEEP TRENCH CAPACITOR
二、 發明人 (共2人)	姓名 (中文)	1. 蔡子敬
	姓名 (英文)	1. Tzu-Ching Tsai
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9
	住居所 (英文)	1. 10F1.-9, No. 39, Nanhua 1st St., Luju Shiang, Taoyuan, Taiwan 338, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAOYUAN, TAIWAN, R. O. C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien

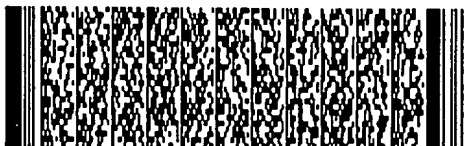


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 陳逸男
	姓名 (英文)	2. Yi-Nan Chen
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北市北投區建民路151巷4號
	住居所 (英文)	2. No. 4, Lane 151, Jianmin Rd., Beitou District, Taipei City 112, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：深溝渠式電容器之埋入式電極的製造方法)

一種深溝渠式電容器之埋入式電極的製造方法，此方法係首先在基底中形成一深溝渠。之後，在深溝渠底部之表面上形成摻雜層，並且在摻雜層上形成材料層。接著，在未被材料層覆蓋之深溝渠側壁處形成阻擋層。繼之，移除摻雜層上的材料層。之後，進行一熱製程，以使摻雜層中之離子擴散至基底中而形成摻雜區，其中此摻雜區作為深溝渠式電容器之埋入式電極，在此同時，摻雜層還會與基底反應形成氧化層。最後，移除氧化層以形成瓶狀之深溝渠。由於本發明可以同時形成瓶狀之深溝渠以及深溝渠式電容器之埋入式電極，因此較習知製程更為簡單。

伍、(一)、本案代表圖為：第_____2H____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A BURIED PLATE OF A DEEP TRENCH CAPACITOR)

A method of fabricating a buried plate of a deep trench capacitor is described. A substrate having a deep trench therein is provided. A doped layer is formed on the surface of the deep trench and a material layer is formed on the doped layer. Then, a stopped layer is formed on the sidewall of the deep trench where is exposed by the material layer. The material layer is removed. Then, a



四、中文發明摘要 (發明名稱：深溝渠式電容器之埋入式電極的製造方法)

202 : 罩幕層

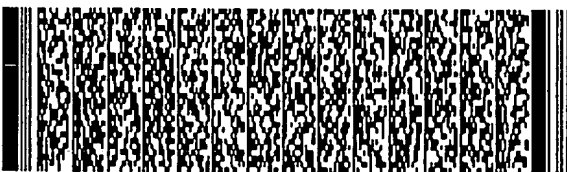
210a : 阻擋層

212 : 摻雜區

216 : 瓶狀深溝渠

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A BURIED PLATE OF A DEEP TRENCH CAPACITOR)

thermal process is performed for making ions in the doped diffuse to the substrate to form a doped region, wherein the doped region is used as a buried plate of a deep trench capacitor. In the thermal process, the doped layer is also react with the substrate to form an oxide layer. After removing the oxide layer, a bottle shape deep trench is formed. In this invention, the bottle



四、中文發明摘要 (發明名稱：深溝渠式電容器之埋入式電極的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A BURIED PLATE OF A DEEP TRENCH CAPACITOR)

shape deep trench and the buried plate can be formed at the same time, hence the method is more simply.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種電容器(Capacitor)之電極的製造方法，且特別是有關於一種深溝渠式電容器之埋入式電極的製造方法。

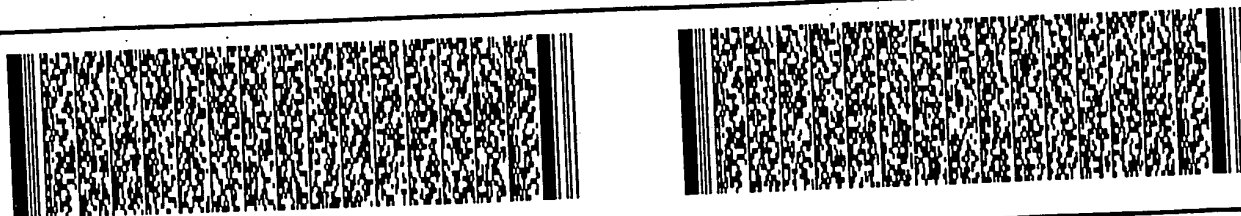
先前技術

當半導體進入深次微米(Deep Sub-Micron)的製程時，元件的尺寸逐漸縮小，對以往的動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)結構而言，也就是代表作為電容器的空間愈來愈小，另一方面，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示以往的動態隨機存取記憶體之電容器的製造方法必須有所改變，以符合趨勢所需。

動態隨機存取記憶體(DRAM)電容器的結構主要分成兩種，其一為堆疊式電容器(Stack Capacitor)，另一則為深溝渠式電容器(Deep Trench Capacitor)。以其中的深溝渠式電容器來說，若要在有限的空間中，增加電容的容量，可以增加電極的接觸面積的方式來達到此目的，因此一種瓶狀式之深溝渠結構被應用於深溝渠式電容器中，此種瓶狀結構可以增加埋入式電極的面積，進而使電容器的容量增大。

第1A圖至第1E圖係繪示習知深溝渠式電容器之埋入式電極之製造流程剖面示意圖。

請參照第1A圖，首先提供基底100，並且在基底100上



五、發明說明 (2)

形成圖案化罩幕層101，且罩幕層101具有一開口，以暴露出基底100表面。接著，利用罩幕層101作為蝕刻罩幕進行一蝕刻製程，以圖案化基底100，而形成深溝渠102。之後，在深溝渠102之表面形成氧化層104，暴露出位於深溝渠102頂部處之基底100。隨後進行一氮化步驟，以於深溝渠102中被裸露之基底100表面上形成一氮化矽層106。

接著，請參照第1B圖，移去氧化層104。繼之，進行濕式蝕刻，以形成一瓶狀結構的深溝渠102a，其中深溝渠102a側壁上因覆蓋有氮化矽層106，因此不會被上述之蝕刻步驟蝕刻。

之後，請參照第1C圖，移去氮化矽層106。之後，在基底100之表面以及深溝渠102a之表面形成一共形摻雜層108。之後，在深溝渠102a內填入光阻層110，覆蓋摻雜層108，其中此光阻層110並未填滿深溝渠102a。

繼之，請參照第1D圖，移除未被光阻層110覆蓋之共形摻雜層108以留下位於深溝渠102a底部之摻雜層108a，隨後並移去光阻層110。之後，進行一熱製程，使摻雜層108的離子擴散至基底100而形成摻雜區112，摻雜區112後續係作為深溝渠式電容器之埋入式電極之用。之後，再移去深溝渠102a中的摻雜層108a，如第1E圖所示，而完成深溝渠式電容器之埋入式電極之製作。

由上述的製作方法可知，必須進行多項步驟才能完成具有瓶狀結構之深溝渠之製作，且其瓶狀結構與摻雜區（埋入式電極）係分別形成於不同的步驟中完成，所以習知



五、發明說明 (3)

的製程方法相當的耗時。此外，用以控制埋入式電極面積大小之光阻層，在形成的過程中，其厚度之均勻性難以控制，因此會使製作出來的埋入式電極之面積大小不同，導致記憶體元件中電容器儲存電容不一致。再者，習知在基底側壁之表面上形成之氮化矽層是利用氮化反應而達成的，然而利用氮化反應難以形成足夠厚度的氮化矽層，因此，恐將無法有效的阻擋蝕刻液之侵蝕。

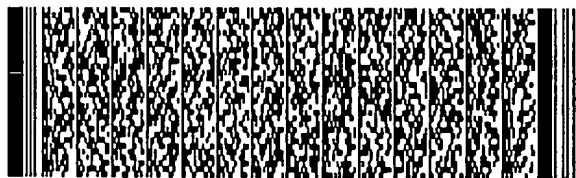
發明內容

有鑑於此，本發明的目的就是提供一種深溝渠式電容器之埋入式電極的製造方法，以解決習知用來控制埋入式電極面積大小之光阻層，其厚度會有均勻性不佳，進而導致電容器之埋入式電極其面積大小不一致的問題。

本發明的再一目的是提供一種深溝渠式電容器之埋入式電極的製造方法，以解決習知氮化反應無法於基底側壁之表面生成足夠厚度的氮化矽層以阻擋蝕刻液的問題。

本發明的又一目的是提供一種深溝渠式電容器之埋入式電極的製造方法，以解決習知製程步驟會有過於繁瑣的問題。

本發明提出一種深溝渠式電容器之埋入式電極的製造方法，此方法係首先在基底中形成一深溝渠。之後，在基底上方以及深溝渠表面形成一共形摻雜層，接著，在深溝渠內填入材料層，其中材料層例如是多晶矽，且材料層並未填滿深溝渠。繼之，移除未被材料層覆蓋之共形摻雜層。之後，在基底之上方以及深溝渠之表面先進行沈積製



五、發明說明 (4)

程以形成一具形阻擋層，其中阻擋層之材質例如是氮化矽，接著，回蝕刻具形阻擋層以在未被材料層覆蓋之深溝渠側壁處形成阻擋層。繼之，移除材料層，之後，進行一熱製程，以使摻雜層中之離子擴散至基底中而形成摻雜區，在此同時，摻雜層還會與基底反應形成氧化層，其中所形成的摻雜區係為深溝渠式電容器之埋入式電極。最後，移除氧化層，即可以形成一瓶狀深溝渠。

由於本發明的製造方法係利用多晶矽材料層來取代習知光阻層，以作為控制埋入式電極之面積大小的用途，因此可以解決習知利用光阻層會有厚度均勻性不佳，而使埋入式電極之面積大小不一致之問題。

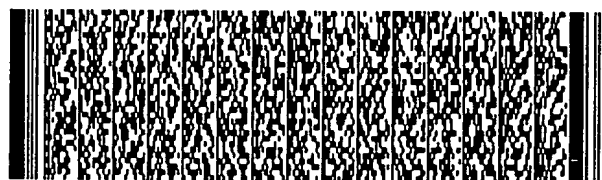
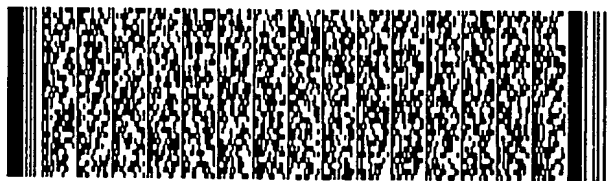
另外，本發明於深溝渠側壁形成阻擋層是利用沈積步驟來達成，因此可以解決習知利用氮化步驟會有難以形成足夠厚度之氮化矽層，而會有抗蝕刻能力不足之問題。

此外，利用本發明的方法可以同時完成深溝渠式電容器之埋入電極與用來增加電容量之瓶狀深溝渠結構，因此本發明可以縮短製程時間，並簡化製程步驟。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2A圖至第2H圖所示，其繪示依照本發明一較佳實施例之深溝渠式電容器之埋入式電極的製造流程剖面示意圖。



五、發明說明 (5)

請參照第2A圖，首先提供基底200，並且在基底200上形成圖案化罩幕層202，其中罩幕層202之材質例如是氮化矽，且罩幕層202具有一開口，以暴露出基底200表面。在一較佳實施例中，於罩幕層202於基底200之間更可以形成有一墊氧化層(未繪示)，用以保護基底200之表面。接著，利用罩幕層202作為蝕刻罩幕進行一蝕刻製程，以圖案化基底200，而形成深溝渠204，其中蝕刻製程例如進行一乾式蝕刻製程。之後，在罩幕層202上以及深溝渠204之表面形成共形的摻雜層206，其中摻雜層206例如是摻雜有砷離子之矽酸玻璃層，而形成摻雜層206的方式例如是化學氣相沈積法(Chemical Vapor Deposition, CVD)。

之後，請同時參照第2B圖以及第2C圖，在深溝渠204內填入一材料層208，覆蓋摻雜層206，其中材料層208並未填滿深溝渠204。之後移除未被材料層208覆蓋之摻雜層206，而形成摻雜層206a。在此，形成材料層208之方法例如是先進行化學氣相沈積法以在罩幕層202上以及深溝渠204內形成材料層(未繪示)，之後，移除部分材料層，而保留下深溝渠204內之材料層208，其中材料層208之材質例如是多晶矽。繼之，移除未被材料層208覆蓋之共形摻雜層206，即形成摻雜層206a，其中移除的方法例如是進行濕式蝕刻製程。

接著，請參照第2D圖，在罩幕層202上以及材料層208之表面形成一共形阻擋層210，其中，阻擋層210之材質例如是氮化矽，而形成共形阻擋層210的方式例如是化學氣



五、發明說明 (6)

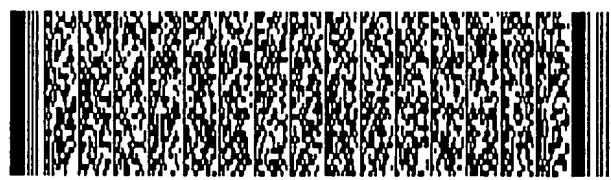
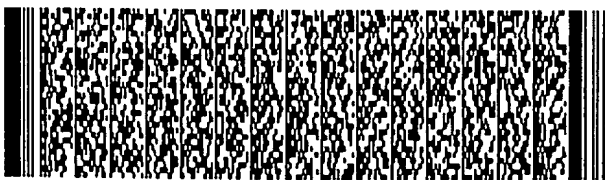
相沈積法，另外，所形成之共形阻擋層210厚度例如是150埃至200埃之間。

繼之，請同時參照第2E圖以及第2F圖，回蝕刻共形阻擋層210以裸露出材料層208表面，即形成阻擋層210a其中回蝕刻之方式例如是進行乾式蝕刻製程。繼之，移除摻雜層206a上的材料層208，其中移除材料層208的方法例如是進行濕式蝕刻的步驟。

之後，請參照第2G圖，進行一熱製程，藉由高溫使摻雜層206a中之離子擴散至基底200中而形成摻雜區212，在此同時，摻雜層206a還會與基底200反應形成氧化層214。其中熱製程例如是在通入氧氣的情況下進行，其氧氣之流量例如是10至50公升/分，另外，熱製程之溫度例如是攝氏700至1000度，而熱製程之時間例如是10至30分鐘。此外，摻雜層206a與基底200反應形成氧化層214時，所消耗之基底200的厚度係介於180埃至220埃。上述所形成之摻雜區212後續係為深溝渠式電容器之埋入式電極。

最後，請參照第2H圖，移除氧化層214以形成一瓶狀深溝渠216，而在鄰近瓶狀深溝渠216之基底200中即形成有深溝渠式電容器之埋入式電極。

當然，在後續的製程步驟中更可包括在瓶狀深溝渠中依序形成介電層以及另一電極層，使得電極層、介電層以及埋入式電極構成一完整之深溝渠式電容器。除此之外，更可利用導體層將電容器與基板上之電晶體電性連接，而形成動態隨機存取記憶體之記憶胞。



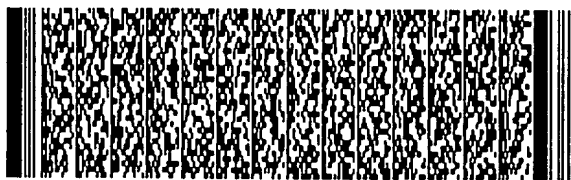
五、發明說明 (7)

由於本發明製造方法係利用多晶矽材料層來取代習知技術之光阻層，並以其控制埋入式電極之面積大小。使用多晶矽作為材料層的優點在於其形成之厚度易於控制，因此可以解決習知因光阻層厚度不相同，而導致埋入式電極之面積大小不一致，進而使電容器之電容大小不同的問題。

另外，本發明在深溝渠側壁形成的阻擋層是利用沈積步驟來形成，所沈積的厚度較進行氮化步驟所形成之阻擋層的厚度厚，因此可以解決因習知利用氮化步驟所形成之阻擋層會有厚度不足，而使在進行蝕刻步驟時會有抗蝕刻能力不足的問題。

此外，本發明在熱製程步驟中通入大量的氧氣，以同時進行摻雜層之擴散以及形成氧化層，因此再將氧化層移除之後，及可以形成瓶狀深溝渠結構，因此本發明可以同時完成瓶狀深溝渠結構以及作為溝渠式電容器之埋入式電極的製作，如此可以簡化製程步驟，並縮短製程時間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



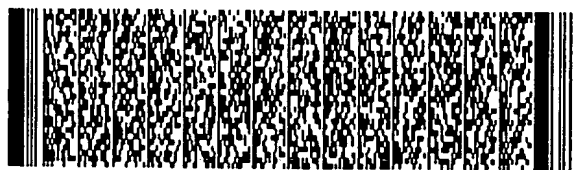
圖式簡單說明

第1A圖至第1E圖係繪示習知深溝渠式電容器之埋入式電極之製造流程剖面示意圖；以及

第2A圖至第2H圖係依照本發明一較佳實施例之深溝渠式電容器之埋入式電極的製造流程剖面示意圖。

圖式標示說明

- 100、200：基底
- 101、202：罩幕層
- 102、204：深溝渠
- 102a、216：瓶狀深溝渠
- 104：氧化層
- 106：矽化氮層
- 108、108a、206、206a：摻雜層
- 110：光阻層
- 112、212：摻雜區
- 208：材料層
- 210、210a：阻擋層
- 214：氧化層



六、申請專利範圍

1. 一種深溝渠式電容器之埋入式電極的製造方法，包括：

提供一基底，該基底中已形成有一深溝渠；

在該深溝渠底部之表面上形成一摻雜層，並且在該摻雜層上形成一材料層；

在未被該材料層覆蓋之該深溝渠側壁處形成一阻擋層；

移除該材料層；

進行一熱製程，以使該摻雜層中之離子擴散至該基底中而形成一摻雜區，在此同時，該摻雜層會與該基底反應而形成一氧化層；以及

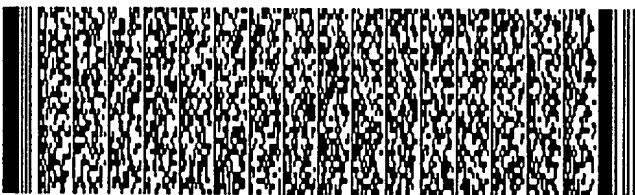
移除該氧化層。

2. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程係包括通入氧氣，且氧氣之流量為10至50公升/分。

3. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程之溫度係介於攝氏700至1000度。

4. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程之時間係介於10至30分鐘。

5. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中在未被該材料層覆蓋之該深溝渠側壁處形成該阻擋層之方法包括：



六、申請專利範圍

在該基底之上方以及該深溝渠之表面形成一共形阻擋層，覆蓋該材料層以及該摻雜層；以及

回蝕刻該共形阻擋層，以在未被該材料層覆蓋之該深溝渠側壁處形成該阻擋層。

6. 如申請專利範圍第5項所述之深溝渠式電容器之埋入式電極的製造方法，其中形成該共形阻擋層之方法包括進行一沈積製程。

7. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該阻擋層之材質包括氮化矽。

8. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該阻擋層之厚度係介於150埃至200埃之間。

9. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該摻雜層與該基底反應而形成該氧化層時所消耗之該基底的厚度係介於180埃至220埃。

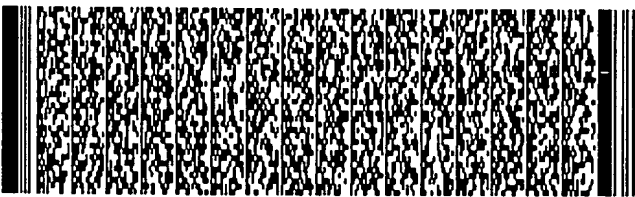
10. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中在該深溝渠底部之表面上形成該摻雜層，並且在該摻雜層上形成該材料層之方法包括：

在該基底上方以及該深溝渠表面形成一共形摻雜層；

在該深溝渠內填入該材料層，且該材料層並未填滿該深溝渠；以及

移除未被該材料層覆蓋之該共形摻雜層。

11. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該材料層之材質包括多晶矽。



六、申請專利範圍

12. 如申請專利範圍第1項所述之深溝渠式電容器之埋入式電極的製造方法，其中該摻雜層係為一摻雜有砷離子之矽酸玻璃層。

13. 一種深溝渠式電容器之埋入式電極的製造方法，包括：

提供一基底，該基底中已形成有一深溝渠；

在該深溝渠底部之表面上形成一摻雜層；

在該深溝渠頂部之側壁處形成一阻擋層；

進行一熱製程，以使該摻雜層中之離子擴散至該基底中而形成一摻雜區，在此同時，該摻雜層會與該基底反應而形成一氧化層；以及

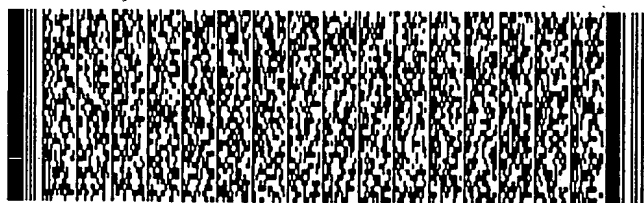
移除該氧化層。

14. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程係包括通入氧氣，且氧氣之流量為10至50公升/分。

15. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程之溫度係介於攝氏700至1000度。

16. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該熱製程之時間係介於10至30分鐘。

17. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該摻雜層與該基底反應而形成該氧化層時所消耗之該基底的厚度係介於180埃至220



六、申請專利範圍

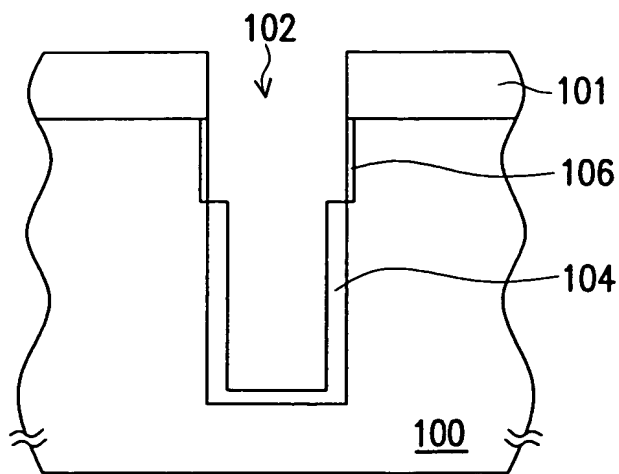
埃。

18. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該阻擋層之材質包括氮化矽。

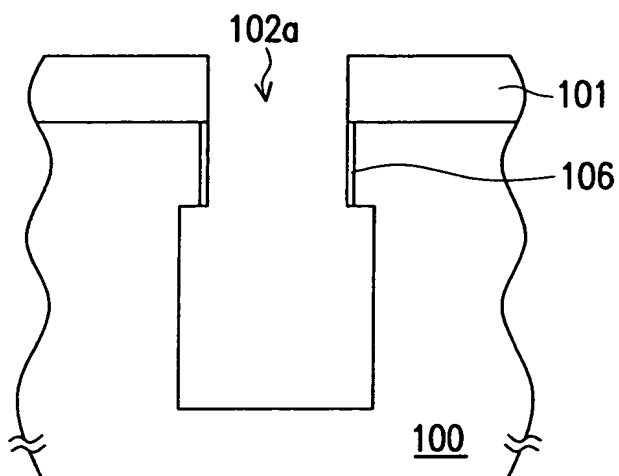
19. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該阻擋層之厚度係介於150埃至200埃之間。

20. 如申請專利範圍第13項所述之深溝渠式電容器之埋入式電極的製造方法，其中該摻雜層係為一摻雜有砷離子之矽酸玻璃層。

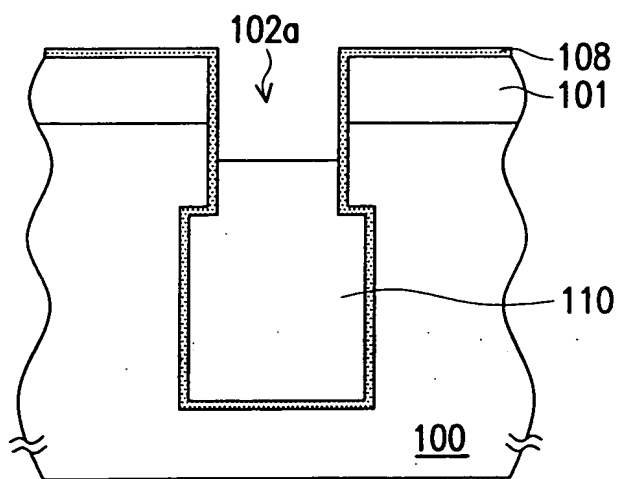




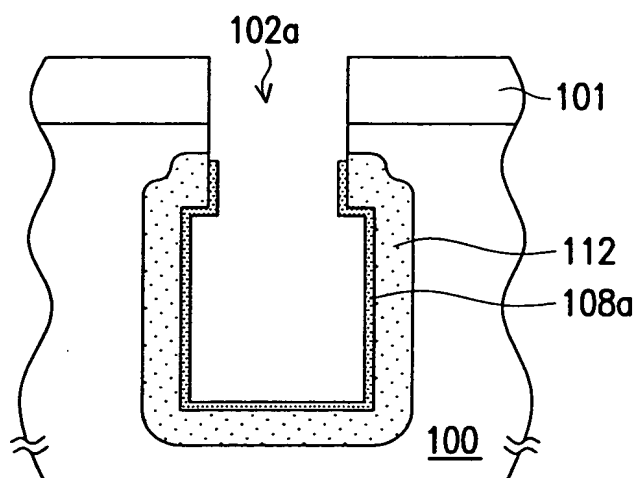
第 1A 圖



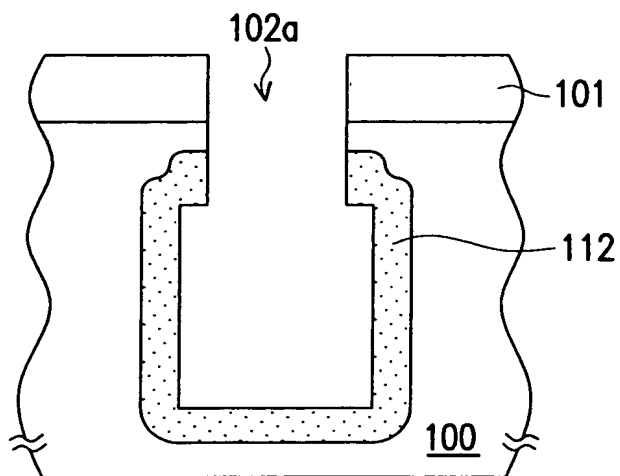
第 1B 圖



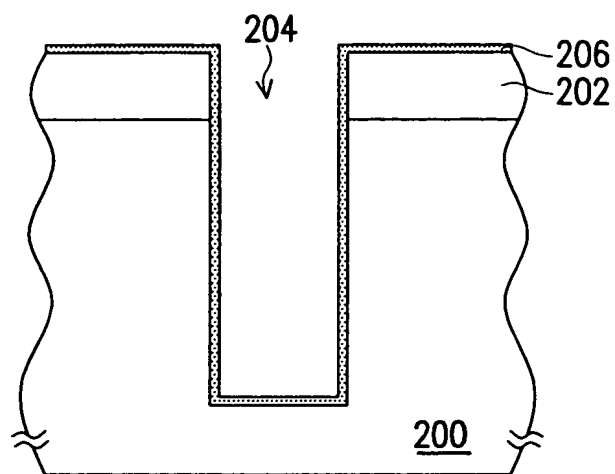
第 1C 圖



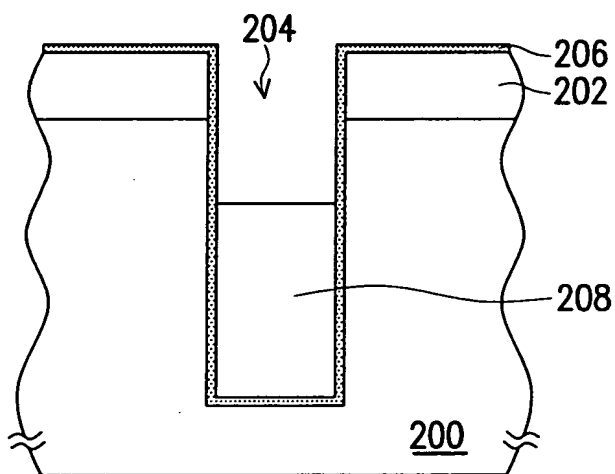
第 1D 圖



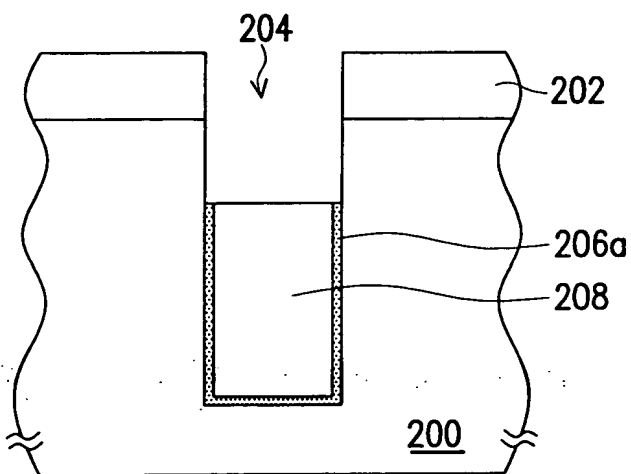
第 1E 圖



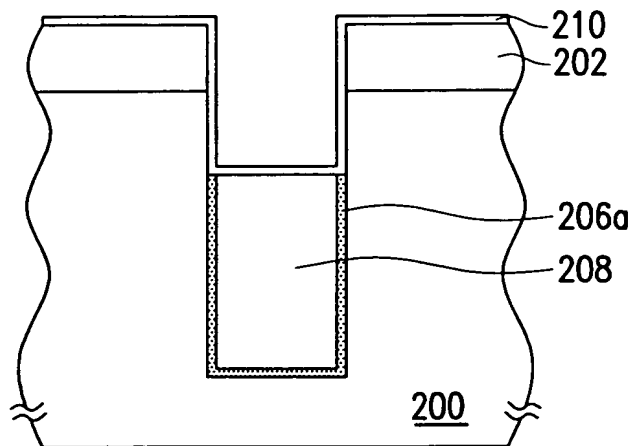
第 2A 圖



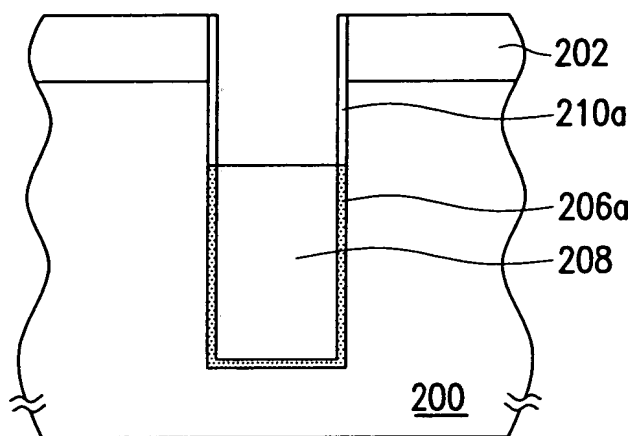
第 2B 圖



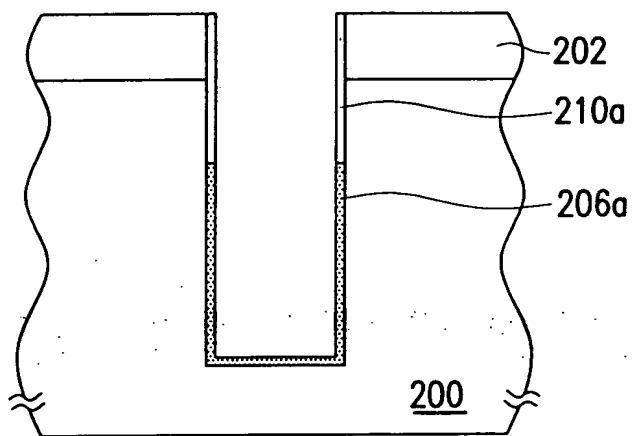
第 2C 圖



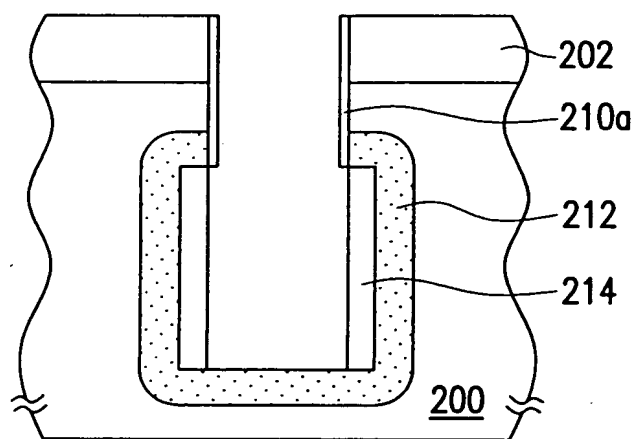
第 2D 圖



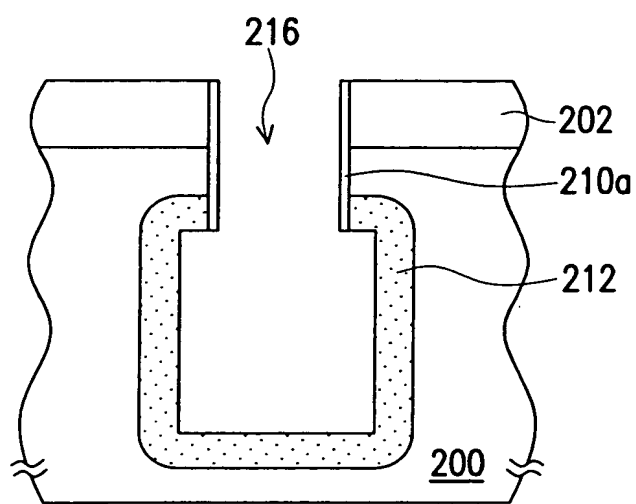
第 2E 圖



第 2F 圖

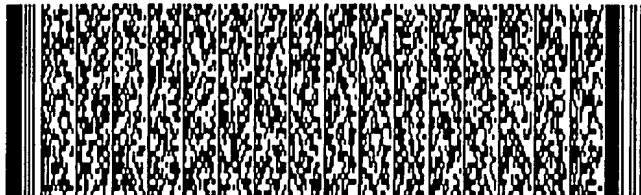


第 2G 圖

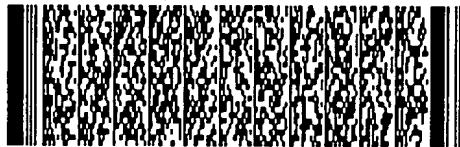


第 2H 圖

第 1/18 頁



第 2/18 頁



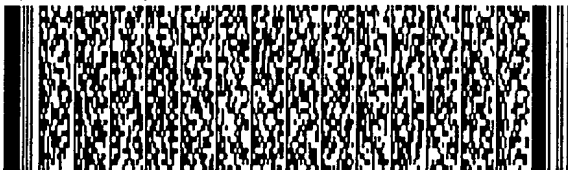
第 3/18 頁



第 3/18 頁



第 4/18 頁



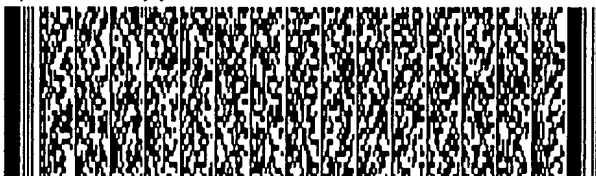
第 5/18 頁



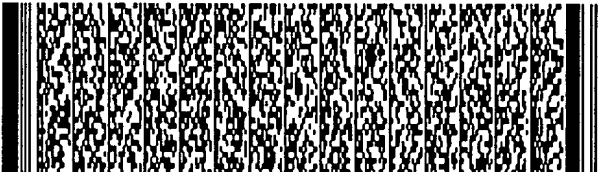
第 6/18 頁



第 7/18 頁



第 7/18 頁



第 8/18 頁



第 8/18 頁



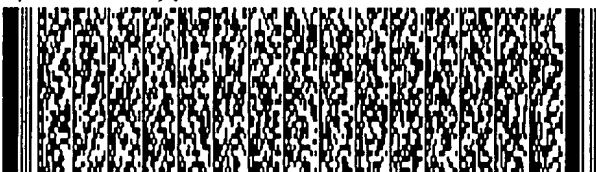
第 9/18 頁



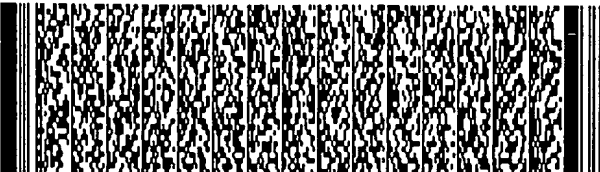
第 9/18 頁



第 10/18 頁



第 10/18 頁



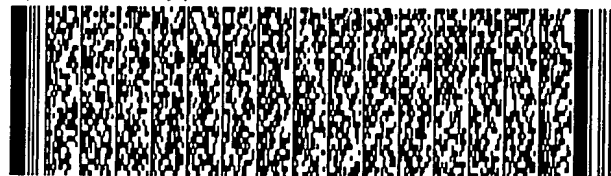
第 11/18 頁



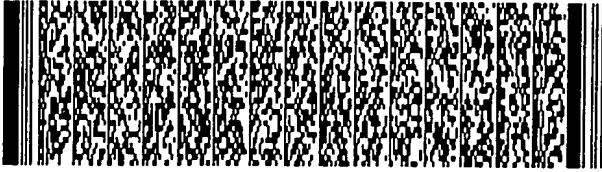
第 11/18 頁



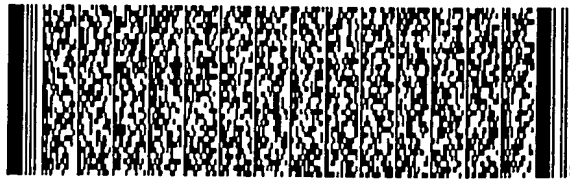
第 12/18 頁



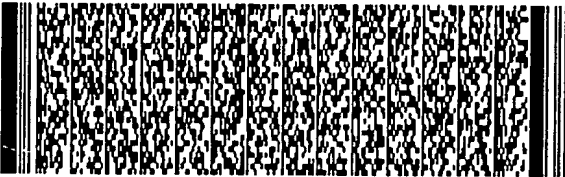
第 12/18 頁



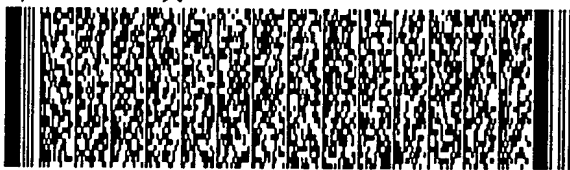
第 13/18 頁



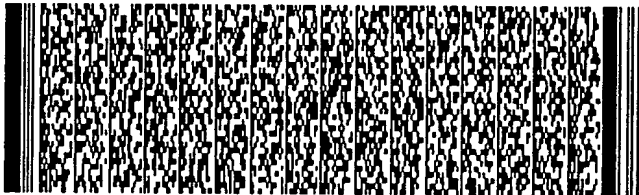
第 13/18 頁



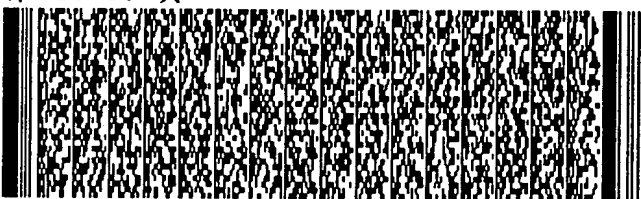
第 14/18 頁



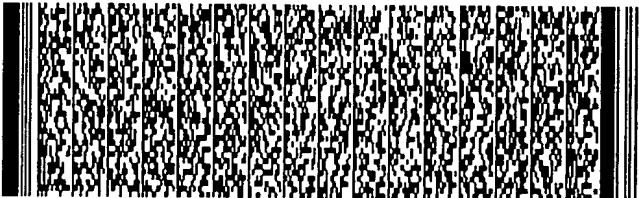
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

